

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020066925 A
(43)Date of publication of application: 21.08.2002

(21)Application number:	1020010030526	(71)Applicant:	SAMSUNG ELECTRONICS CO., LTD.
(22)Date of filing:	31.05.2001	(72)Inventor:	LEE, HAN IL
(30)Priority:	14.02.2001 KR 1020010007273		
(51)Int. Cl	H03L 7/08		

(54) PLL HAVING FAST FREQUENCY LOCK CONTROL CIRCUIT AND METHOD FOR REDUCING FREQUENCY LOCK TIME OF THE SAME

(57) Abstract:

PURPOSE: A PLL(Phase Locked Loop) having a fast frequency lock control circuit and a method for reducing a frequency lock time of the same are provided to reduce a frequency lock time and improve characteristics of the PLL.

CONSTITUTION: A phase detector(21) compares a reference clock signal(fr) with a feedback clock signal(fv) and detects a phase difference. A fast frequency lock control circuit(23) disconnects the phase detector(21) from a loop filter(25). The fast frequency lock control circuit(23) provides static current to a loop filter(25) during a predetermined time. The fast frequency lock control circuit(23) connects the phase detector(21) with the loop filter(25) after providing the static current to a loop filter(25) during a predetermined time. A voltage controlled oscillator(27) generates an output clock signal(fo) and changes frequencies of the output clock signal(fo) in response to an output voltage of the loop filter(25). A demultiplier(29) demultiplies the output clock signal(fo) and provides the demultiplied signal as the feedback clock signal(fv).

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20021220)
Patent registration number (1003702430000)
Date of registration (20030116)
Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. ⁷
H03L 7/08

(11) 공개번호 특2002 - 0066925
(43) 공개일자 2002년08월21일

(21) 출원번호 10 - 2001 - 0030526
(22) 출원일자 2001년05월31일

(30) 우선권주장 1020010007273 2001년02월14일 대한민국 (KR)

(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416

(72) 발명자 이한일
경기도수원시팔달구영통동벽적골8단지아파트두산아파트801동1801호

(74) 대리인 이영필
정상빈

심사청구 : 있음

(54) 고속 주파수 락 제어회로를 구비하는 위상동기 루프 회로 및 이의 주파수 락 시간 감소방법

요약

주파수 락 시간을 감소시키며 또한 특성들을 개선시키는 위상동기 루프 회로 및 이의 주파수 락 시간 감소방법이 개시된다. 본 발명에 따른 위상동기 루프 회로는, 위상 검출기, 루프필터, 전압제어 발진기, 분주기를 구비하며 특히 고속 주파수 락 제어회로를 구비하는 것을 특징으로 한다. 고속 주파수 락 제어회로는 위상동기 루프 회로의 파워워 온(Power on) 초기에 위상 검출기와 루프필터 사이의 접속을 끊고 소정의 시간동안 정전류를 루프필터에 공급하거나 루프필터로부터 방출하고 이후 위상 검출기와 루프필터를 접속한다. 따라서 파워워 온 초기에 위상동기 루프가 개방(Open)된 상태에서 소정의 시간동안 정전류가 루프 필터에 공급되거나 루프필터로부터 방출되므로 주파수 락이 빨리 이루어지는 장점이 있다. 또한 일단 주파수가 락된 후에는 폐쇄 루프 상태에서 위상 검출기 내의 전하펌프를 통해 흐르는 전류를 줄임으로써 즉 루프 대역폭을 줄임으로써 위상 노이즈(Phase Noise) 및 기준자극(Reference Spur)을 줄일 수 있는 장점이 있다.

대표도
도 2

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 위상동기 루프 회로의 블록도이다.

도 2는 본 발명의 바람직한 실시예에 따른 위상동기 루프 회로의 블록도이다.

도 3 및 도 4는 도 2에 도시된 고속 주파수 락 제어회로의 제1실시예를 나타내는 회로도이다.

도 5 및 도 6은 도 2에 도시된 고속 주파수 락 제어회로의 제2실시예를 나타내는 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 위상동기 루프(Phase Locked Loop) 회로에 관한 것으로, 특히 주파수 락 시간을 감소시키며 또한 특성들을 개선시키는 위상동기 루프 회로 및 이의 주파수 락 시간 감소방법에 관한 것이다.

위상동기 루프 회로는 기준클럭 신호와 전압제어 발진기(Voltage Controlled Oscillator, VCO)로부터 피드백되는 신호의 위상을 비교하여 그 위상을 동기시키는 회로로서 통신 시스템등 다양한 응용에 사용된다. 일반적인 종래의 위상동기 루프 회로는 도 1에 도시된 바와 같이, 기준클럭 신호(f_r)와 피드백클럭 신호(f_v)의 위상을 비교하여 위상차를 검출하는 위상 검출기(11), 루프필터(Loop Filter)(13), 출력클럭 신호(f_o)를 발생하며 루프필터(13)의 출력전압(V_c)에 응답하여 출력클럭 신호(f_o)의 주파수를 가변시키는 전압제어 발진기(Voltage Controlled Oscillator, VCO)(15), 및 소정의 분주율(N)로 출력클럭 신호(f_o)를 분주하여 분주된 클럭 신호를 피드백클럭 신호(f_v)로서 제공하는 분주기(Divider)(17)를 포함하여 구성된다.

한편 도 1에 도시된 종래의 위상동기 루프 회로에서 주파수 락 시간(Frequency Lock Time)을 줄이기 위해 일반적으로 사용되는 방법은 루프 파라미터 값들의 일부를 조절하여 루프 대역폭(Bandwidth)을 가변시키는 방법이다. 그런데 이러한 방법은 주파수 락 시간을 충분히 줄일 수 없는 단점이 있으며 따라서 주파수 락 시간을 더 줄일 수 있는 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는, 주파수 락 시간을 감소시키며 또한 특성들을 개선하는 위상동기 루프 회로를 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는, 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 위상동기 루프 회로는, 위상 검출기, 루프필터, 전압제어 발진기, 분주기를 구비하며 특히 고속 주파수 락 제어회로(Fast Frequency Lock Control Circuit)를 구비하는 것을 특징으로 한다.

상기 위상 검출기는 기준클럭 신호와 피드백클럭 신호의 위상을 비교하여 위상차를 검출한다. 상기 고속 주파수 락 제어회로는 상기 위상동기 루프 회로의 파워온 (Power on) 초기에 상기 위상 검출기와 상기 루프필터 사이의 접속을 끊고 소정의 시간동안 정전류를 상기 루프필터에 공급하거나 상기 루프필터로부터 방출하고 이후 상기 위상 검출기와 상기 루프필터를 접속한다. 상기 전압제어 발진기는 출력클럭 신호를 발생하며 상기 루프필터의 출력전압에 응답하여 상기 출력클럭 신호의 주파수를 가변시킨다. 상기 분주기는 소정의 분주율로 상기 출력클럭 신호를 분주하여 분주된 클럭 신호를 상기 피드백클럭 신호로서 제공한다.

바람직한 실시예에 따르면, 상기 고속 주파수 락 제어회로는, 제1기준전압에 일단이 접속되는 정전류원, 상기 정전류원의 타단과 상기 루프필터 사이에 접속되는 제1스위치, 상기 위상검출기와 상기 루프필터 사이에 접속되는 제2스위치, 및 입력 데이터 및 제어클럭 신호에 응답하여, 상기 소정의 시간동안에는 상기 제1스위치를 온시키고 상기 제2스위치를 오프시키며 상기 소정의 시간 후에는 상기 제1스위치를 오프시키고 상기 제2스위치를 온시키는 제어회로를 구비한다.

상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것이 바람직하고, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것이 바람직하다. 또한 상기 제어회로는 상기 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현되는 것이 바람직하고, 상기 정전류원은 상기 위상 검출기내에 구비되는 전하펌프를 이용하여 구현되는 것이 바람직하다.

바람직한 다른 실시예에 따르면, 상기 고속 주파수 락 제어회로는, 제1기준전압에 일단이 연결되는 제1정전류원, 상기 제1정전류원의 타단과 상기 루프필터 사이에 접속되는 제1스위치, 상기 위상검출기와 상기 루프필터 사이에 접속되는 제2스위치, 제2기준전압에 일단이 연결되는 제2정전류원, 상기 제2정전류원의 타단과 상기 루프필터 사이에 접속되는 제3스위치, 상기 루프필터와 상기 전압제어 발진기 사이에 접속되는 제4스위치, 및 입력 데이터 및 제어클럭 신호에 응답하여, 소정의 시간 동안에 상기 제1스위치 및 상기 제3스위치중 어느 하나를 온시키고 상기 제2스위치 및 상기 제4스위치를 오프시키며 상기 소정의 시간 후에는 상기 제1스위치 및 상기 제3스위치를 오프시키고 상기 제2스위치 및 상기 제4스위치를 온시키는 제어회로를 구비한다.

상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것이 바람직하고, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것이 바람직하다. 또한 상기 제어회로는 상기 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현되는 것이 바람직하고, 상기 제1 및 제2정전류원은 상기 위상 검출기내에 구비되는 전하펌프를 이용하여 구현되는 것이 바람직하다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 위상동기 루프 회로의 주파수 락 시간 감소 방법은, 기준클럭 신호와 피드백클럭 신호의 위상을 비교하여 위상차를 검출하는 위상 검출기, 루프필터, 출력클럭 신호를 발생하며 상기 루프필터의 출력전압에 응답하여 상기 출력클럭 신호의 주파수를 가변시키는 전압제어 발진기, 및 소정의 분주율로 상기 출력클럭 신호를 분주하여 분주된 클럭 신호를 상기 피드백클럭 신호로서 제공하는 분주기를 구비하는 위상동기 루프 회로의 주파수 락 시간 감소 방법에 있어서, 상기 위상동기 루프 회로의 파워온 초기에 상기 위상 검출기와 상기 루프필터 사이의 접속을 끊고 소정의 시간동안 정전류를 상기 루프필터에 공급하거나 상기 루프필터로부터 방출하는 단계; 및 상기 소정의 시간 후에 상기 위상 검출기와 상기 루프필터를 접속하는 단계를 구비하는 것을 특징으로 한다.

바람직한 실시예에 따르면, 상기 정전류를 상기 루프필터에 공급하는 단계는, 상기 정전류를 발생하는 단계; 및 입력 데이터 및 제어클럭 신호에 응답하여, 상기 소정의 시간동안에 상기 정전류의 패스와 상기 루프필터 사이의 접속을 연결하고 상기 위상검출기와 상기 루프필터 사이의 접속을 끊는 단계를 구비한다.

상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것이 바람직하고, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것이 바람직하다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 바람직한 실시예에 따른 위상동기 루프 회로의 블록도이다.

도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 위상동기 루프 회로는, 위상 검출기(21), 루프필터(25), 전압 제어 발진기(27), 및 분주기(29)를 구비하며 특히 주파수 락 시간을 줄이기 위해 고속 주파수 락 제어회로(Fast Frequency Lock Control Circuit, FFLC)(23)를 구비한다.

위상 검출기(21)는 기준클럭 신호(fr)와 피드백클럭 신호(fv)의 위상을 비교하여 위상차를 검출한다. 고속 주파수 락 제어회로(23)는 위상동기 루프 회로의 파워온(Power on) 초기에 위상 검출기(21)와 루프필터(25) 사이의 접속을 끊고 소정의 시간(Δt) 동안 정전류를 루프필터(25)에 공급하고, 이후 위상 검출기(21)와 루프필터(25)를 접속한다. 다시말해 고속 주파수 락 제어회로(23)는, 입력 데이터(DATA)와 시스템 파라미터들을 이용하여 계산된 소정의 시간(Δt) 동안 정전류(I)를 루프필터(25)에 흘려주어, 출력클럭 신호(f_o)의 원하는 목표 주파수를 얻기 위해 전압제어 발진기(27)가 필요로 하는 제어전압(V_c)을 강제로 만든다.

전압제어 발진기(27)는 출력클럭 신호(f_o)를 발생하며 루프필터(25)의 출력전압, 즉 제어전압(V_c)에 응답하여 출력클럭 신호(f_o)의 주파수를 가변시킨다. 분주기(29)는 소정의 분주율(N)로 출력클럭 신호(f_o)를 분주하여 분주된 클럭 신호를 피드백클럭 신호(f_v)로서 제공한다.

도 3 및 도 4는 도 2에 도시된 고속 주파수 락 제어회로의 제1 실시예를 나타내는 회로도이다. 도 3은 루프필터가 1차 루프필터(First Order Loop Filter)(25A)인 경우를 나타내고 도 4는 루프필터가 2차 루프필터(Second Order Loop Filter)(25B)인 경우를 나타낸다.

도 3 및 도 4를 참조하면, 제1 실시예에 따른 고속 주파수 락 제어회로(23A)는, 전원전압(VCC)에 일단이 접속되는 정전류원(I), 정전류원(I)의 타단과 루프필터(25A, 25B) 사이에 접속되는 제1스위치(sw1), 위상검출기(21)와 루프필터(25A, 25B) 사이에 접속되는 제2스위치(sw2), 및 제어회로(231)를 구비한다.

제어회로(231)는 입력 데이터(DATA) 및 제어클럭 신호(CLK)에 응답하여, 소정의 시간(Δt) 동안에 제1스위치(sw1)를 온시키고 제2스위치(sw2)를 오프시킨다. 이에 따라 소정의 시간(Δt) 동안 전류가 루프필터(25A, 25B)로 공급된다. 또한 제어회로(231)는 소정의 시간(Δt) 후에는 제1스위치(sw1)를 오프시키고 제2스위치(sw2)를 온시킨다.

여기에서 입력 데이터(DATA)는 도 2에 도시된 분주기(29)의 분주율(N)과 동일한 데이터인 것이 바람직하고, 제어클럭 신호(CLK)는 도 2에 도시된 기준클럭 신호(fr)와 동일한 신호인 것이 바람직하다. 그러나 입력 데이터(DATA)로서 외부에서 인가되는 임의의 데이터가 사용될 수 있으며 또한 제어클럭 신호(CLK)로서 다른 임의의 클럭신호가 사용될 수 있다.

한편 제어회로(231)는 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현될 수 있고 정전류원(I)은 위상 검출기(21) 내에 구비되는 전하펌프를 이용하여 구현될 수 있다.

이하 도 2 내지 도 4를 참조하여 본 발명에 따른 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법을 상세히 설명한다. 위상동기 루프 형태의 주파수 합성기에서는 출력클럭 신호의 주파수(f_o)는 다음 수학적 식(1)에 의해 구해진다.

수학식 1

$$f_o = N * f_r$$

여기에서 자연수 N은 입력 데이터(DATA)에 의해 결정되는 값이고 f_r 은 기준클럭 신호의 주파수이다. 또한 전압제어 발진기(27)의 입력력 관계식은 다음 수학식(2)와 같이 표현된다.

수학식 2

$$f_o = K_v * V_c$$

여기에서 K_v 는 전압제어 발진기(27)의 이득(Gain)을 나타내고 V_c 는 루프필터(25)의 출력전압, 즉 제어전압(V_c)을 나타낸다.

수학식(2)에서 알 수 있듯이, K_v 는 전압제어 발진기(27)에 의해 고유하게 결정되는 값이므로 원하는 주파수(f_o)를 얻기 위해서는 이에 필요한 제어전압(V_c)이 전압제어 발진기(27)에 입력되어야 한다.

종래의 위상동기 루프 회로에서는 위상동기 루프가 폐쇄(Close)된 상태에서 네거티브 피드백 동작에 의해 제어전압(V_c)이 결정된다. 반면에 본 발명에 따른 위상동기 루프 회로에서는, 파워온 초기에 고속 주파수 락 제어회로(23)가 위상동기 루프를 개방(Open) 루프로 만들고 이 상태에서 원하는 주파수(f_o)를 얻기 위해 필요한 제어전압(V_c)을 발생시키기 위해 소정의 시간(Δt) 동안 정전류(I)를 루프필터(25)에 흘려주게 된다.

도 3에서와 같이 루프필터가 1차 루프필터(25A)로 구성되는 경우 정전류(I)가 루프필터(25A)로 시간(Δt) 동안 흐를 때 커패시터(C) 양단의 전압변화(ΔV_c)는 다음 수학식(3)으로 표현될 수 있다.

수학식 3

$$V_{c2} - V_{c1} = \Delta V_c = \Delta Q / C = I * \Delta t / C$$

여기에서 V_{c1} 은 제어전압(V_c)의 초기상태 값을 나타내고 V_{c2} 는 제어전압(V_c)의 나중상태 값을 나타낸다. Q는 정전류(I)에 의해 시간(Δt) 동안 커패시터(C)에 저장되는 전하량을 나타낸다. 따라서 시간(Δt)은 수학식(1) 내지 수학식(3)에 의해서 다음 수학식(4)와 같이 구해진다.

수학식 4

$$\Delta t = C * \Delta f_o / K_v * I = C * f_r * \Delta N / K_v * I = K * \Delta N$$

식(4)에서 알 수 있듯이 시간(Δt)은 파라미터들(C, f_r , K_v , I)이 정해지면 N에 의해 계산된다. N은 입력 데이터(DAT A)에 의해 결정되는 값으로서 분주기(29)의 분주율(N)과 동일한 것이 바람직하다.

좀더 설명하면 본 발명에서는 고속 주파수 락 제어회로(23)의 제어회로(231)가 N에 해당하는 입력 데이터(DATA)와 제어클럭 신호(CLK)를 수신하여 시간(Δt) 동안에 제1스위치($sw1$)를 온시키고 제2스위치($sw2$)를 오프시킨다. 이에 따라 위상검출기(21)와 루프필터(25) 사이의 연결이 끊어져 위상동기 루프가 개방(Open)되고 이 상태에서 시간(Δt) 동안 정전류(I)가 루프필터(25)에 공급된다. 따라서 원하는 주파수(f_o)를 얻기 위해 필요한 제어전압(V_c)이 생성되어 전압제어 발진기(27)에 제공된다.

시간(Δt) 후에는 제어회로(231)는 제1스위치($sw1$)를 오프시키고 제2스위치($sw2$)를 온시키며, 이에 따라 위상검출기(21)와 루프필터(25) 사이의 연결이 다시 연결되어 위상동기 루프가 폐쇄(Close)되고 정상상태가 된다.

한편 도 4에서와 같이 루프필터가 2차 루프필터(25B)로 구성되는 경우 시간(Δt)은 다음 수학식(4)와 같이 유도되며 여기에서 상세한 유도과정은 생략된다.

수학식 5

$$\Delta t = (C1 + C2) * fr * \Delta N / Kv * I = K * \Delta N$$

이상에서 설명한 바와 같이 본 발명에 따른 위상동기 루프 회로에서는 파워워 온 초기에 위상동기 루프가 개방(Open)된 상태에서 소정의 시간(Δt) 동안 정전류(I)가 루프 필터(25)에 공급되므로 주파수 락이 빨리 이루어지는 장점이 있다. 또한 정전류(I)는 개방 루프 상태에서 주파수 락만을 위한 전류이므로 루프 안정도(Loop Stability)에 관계없이 정전류(I)를 크게 함으로써 주파수 락을 보다 빠르게 할 수 있다.

또한 본 발명에 따른 위상동기 루프 회로에서는 일단 주파수가 락된 후에는 폐쇄 루프 상태에서 위상 검출기(21) 내의 전하펌프를 통해 흐르는 전류를 줄임으로써 즉 루프 대역폭을 줄임으로써 위상 노이즈(Phase Noise) 및 기준자극(Reference Spur)을 줄일 수 있는 장점이 있다.

도 5 및 도 6은 도 2에 도시된 고속 주파수 락 제어회로의 제2실시예를 나타내는 회로도이다. 도 5는 루프필터가 1차 루프필터(First Order Loop Filter) (25A)인 경우를 나타내고 도 4는 루프필터가 2차 루프필터(Second Order Loop Filter) (25B)인 경우를 나타낸다.

도 5 및 도 6을 참조하면, 제2실시예에 따른 고속 주파수 락 제어회로(23B)는, 전원전압(VCC)에 일단이 연결되는 제1정전류원(I1), 제1정전류원(I1)의 타단과 루프필터(25A, 25B) 사이에 접속되는 제1스위치(sw1a), 위상검출기(21)와 루프필터(25A, 25B) 사이에 접속되는 제2스위치(sw2a), 접지전압(VSS)에 일단이 연결되는 제2정전류원(I2), 제2정전류원(I2)의 타단과 루프필터(25A, 25B) 사이에 접속되는 제3스위치(sw1b), 및 제어회로(231A)를 구비한다. 루프필터(25A, 25B)와 전압제어 발진기(27) 사이에는 제4스위치(sw2b)가 접속된다.

제어회로(231A)는 제어전압(Vc)의 나중상태 값(Vc2)이 제어전압(Vc)의 초기상태 값(Vc1)보다 큰 경우에는 제어전압(Vc)을 높이기 위해서, 입력 데이터(DATA) 및 제어클럭 신호(CLK)에 응답하여, 소정의 시간(Δt) 동안에 제1스위치(sw1a)를 온시키고 제3스위치(sw1b)를 오프시키며 또한 제2스위치(sw2a) 및 제4스위치(sw2b)를 오프시킨다. 이에 따라 소정의 시간(Δt) 동안 전류가 루프필터(25A, 25B)로 공급된다.

또한 제어회로(231A)는 제어전압(Vc)의 나중상태 값(Vc2)이 제어전압(Vc)의 초기상태 값(Vc1)보다 작은 경우에는 제어전압(Vc)을 낮추기 위해서, 입력 데이터(DATA) 및 제어클럭 신호(CLK)에 응답하여, 소정의 시간(Δt) 동안에 제1스위치(sw1a)를 오프시키고 제3스위치(sw1b)를 온시키며 또한 제2스위치(sw2a) 및 제4스위치(sw2b)를 오프시킨다. 이에 따라 소정의 시간(Δt) 동안 전류가 루프필터(25A, 25B)로부터 방출된다.

소정의 시간(Δt) 후에는 제어회로(231A)는 제1스위치(sw1a) 및 제3스위치(sw1b)를 오프시키고 제2스위치(sw2a) 및 제4스위치(sw2b)를 온시킨다.

여기에서 소정의 시간(Δt) 동안에 즉 고속 주파수 락 제어회로(23B)의 동작기간 동안에 제2스위치(sw2a) 및 제4스위치(sw2b)를 오프시키는 이유는 그 기간동안에 고속 주파수 락 제어회로(23B) 및 루프필터(25A, 25B) 이외의 위상 검출기(21), 전압제어 발진기(27), 및 분주기(29)가 동작되지 않도록 하여 전력소모를 줄이기 위해서이다.

이상에서 설명한 바와 같이 제2실시예에 따른 고속 주파수 락 제어회로(23B)는, 제어전압(Vc)의 나중상태 값(Vc2)이 제어전압(Vc)의 초기상태 값(Vc1)보다 큰 경우뿐만 아니라 제어전압(Vc)의 나중상태 값(Vc2)이 제어전압(Vc)의 초기상태 값(Vc1)보다 작은 경우에도 적용 가능한 장점이 있다.

한편 입력 데이터(DATA)는 제1실시예에서와 마찬가지로 도 2에 도시된 분주기(29)의 분주율(N)과 동일한 데이터인 것이 바람직하고, 제어클럭 신호(CLK)는 도 2에 도시된 기준클럭 신호(fr)와 동일한 신호인 것이 바람직하다. 그러나 입력 데이터(DATA)로서 외부에서 인가되는 임의의 데이터가 사용될 수 있으며 또한 제어클럭 신호(CLK)로서 다른 임의의 클럭신호가 사용될 수 있다.

또한 제어회로(231A)는 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현될 수 있고 제1정전류원(I1) 및 제2정전류원(I2)은 위상 검출기(21) 내에 구비되는 전하펌프를 이용하여 구현될 수 있다.

이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 위상동기 루프 회로는 고속 주파수 락 제어회로를 구비함으로써 주파수 락 시간을 감소시키며 또한 특성들을 개선시키는 장점이 있다.

(57) 청구의 범위

청구항 1.

기준클럭 신호와 피드백클럭 신호의 위상을 비교하여 위상차를 검출하는 위상 검출기;

루프필터;

파우워 온(Power on) 초기에 상기 위상 검출기와 상기 루프필터 사이의 접속을 끊고 소정의 시간동안 정전류를 상기 루프필터에 공급하거나 상기 루프필터로부터 방출하고, 이후 상기 위상 검출기와 상기 루프필터를 접속하는 고속 주파수 락 제어회로;

출력클럭 신호를 발생하며 상기 루프필터의 출력전압에 응답하여 상기 출력클럭 신호의 주파수를 가변시키는 전압제어 발진기; 및

소정의 분주율로 상기 출력클럭 신호를 분주하여 분주된 클럭 신호를 상기 피드백클럭 신호로서 제공하는 분주기를 구비하는 것을 특징으로 하는 위상동기 루프 회로.

청구항 2.

제1항에 있어서, 상기 고속 주파수 락 제어회로는,

제1기준전압에 일단이 접속되는 정전류원;

상기 정전류원의 타단과 상기 루프필터 사이에 접속되는 제1스위치;

상기 위상검출기와 상기 루프필터 사이에 접속되는 제2스위치; 및

입력 데이터 및 제어클럭 신호에 응답하여, 상기 소정의 시간동안에는 상기 제1스위치를 온시키고 상기 제2스위치를 오프시키며 상기 소정의 시간 후에는 상기 제1스위치를 오프시키고 상기 제2스위치를 온시키는 제어회로를 구비하는 것을 특징으로 하는 위상동기 루프 회로.

청구항 3.

제2항에 있어서, 상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것을 특징으로 하는 위상동기 루프 회로.

청구항 4.

제2항에 있어서, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것을 특징으로 하는 위상동기 루프 회로.

청구항 5.

제2항에 있어서, 상기 제어회로는 상기 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현되는 것을 특징으로 하는 위상동기 루프 회로.

청구항 6.

제2항에 있어서, 상기 정전류원은 상기 위상 검출기내에 구비되는 전하펌프를 이용하여 구현되는 것을 특징으로 하는 위상동기 루프 회로.

청구항 7.

제1항에 있어서, 상기 고속 주파수 락 제어회로는,

제1기준전압에 일단이 연결되는 제1정전류원;

상기 제1정전류원의 타단과 상기 루프필터 사이에 접속되는 제1스위치;

상기 위상검출기와 상기 루프필터 사이에 접속되는 제2스위치;

제2기준전압에 일단이 연결되는 제2정전류원;

상기 제2정전류원의 타단과 상기 루프필터 사이에 접속되는 제3스위치;

상기 루프필터와 상기 전압제어 발진기 사이에 접속되는 제4스위치; 및

입력 데이터 및 제어클럭 신호에 응답하여, 소정의 시간 동안에 상기 제1스위치 및 상기 제3스위치중 어느 하나를 온시키고 상기 제2스위치 및 상기 제4스위치를 오프시키며 상기 소정의 시간 후에는 상기 제1스위치 및 상기 제3스위치를 오프시키고 상기 제2스위치 및 상기 제4스위치를 온시키는 제어회로를 구비하는 것을 특징으로 하는 위상동기 루프 회로.

청구항 8.

제7항에 있어서, 상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것을 특징으로 하는 위상동기 루프 회로.

청구항 9.

제7항에 있어서, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것을 특징으로 하는 위상동기 루프 회로.

청구항 10.

제7항에 있어서, 상기 제어회로는 상기 위상동기 루프 회로내에 구비되는 락 검출 카운터를 이용하여 구현되는 것을 특징으로 하는 위상동기 루프 회로.

청구항 11.

제7항에 있어서, 상기 제1정전류원 및 상기 제2정전류원은 상기 위상 검출기내에 구비되는 전하펌프를 이용하여 구현되는 것을 특징으로 하는 위상동기 루프 회로.

청구항 12.

기준클럭 신호와 피드백클럭 신호의 위상을 비교하여 위상차를 검출하는 위상 검출기, 루프필터, 출력클럭 신호를 발생하며 상기 루프필터의 출력전압에 응답하여 상기 출력클럭 신호의 주파수를 가변시키는 전압제어 발진기, 및 소정의 분주율로 상기 출력클럭 신호를 분주하여 분주된 클럭 신호를 상기 피드백클럭 신호로서 제공하는 분주기를 구비하는 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법에 있어서,

상기 위상동기 루프 회로의 파워온 초기에 상기 위상 검출기와 상기 루프필터 사이의 접속을 끊고 소정의 시간동안 정전류를 상기 루프필터에 공급하거나 상기 루프필터로부터 방출하는 단계; 및

상기 소정의 시간 후에 상기 위상 검출기와 상기 루프필터를 접속하는 단계를 구비하는 것을 특징으로 하는 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법.

청구항 13.

제12항에 있어서, 상기 정전류를 상기 루프필터에 공급하는 단계는,

상기 정전류를 발생하는 단계; 및

입력 데이터 및 제어클럭 신호에 응답하여, 상기 소정의 시간동안에 상기 정전류의 패쓰와 상기 루프필터 사이의 접속을 연결하고 상기 위상검출기와 상기 루프필터 사이의 접속을 끊는 단계를 구비하는 것을 특징으로 하는 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법.

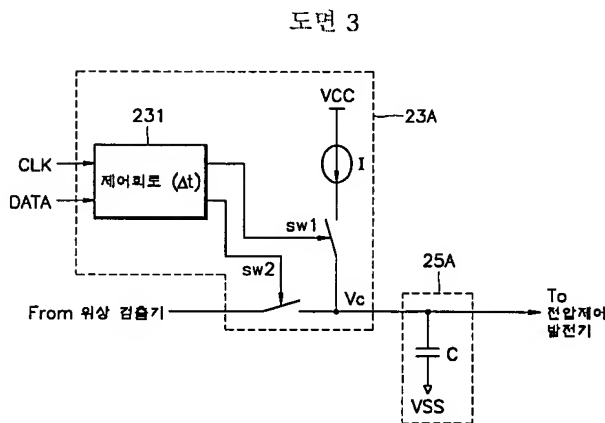
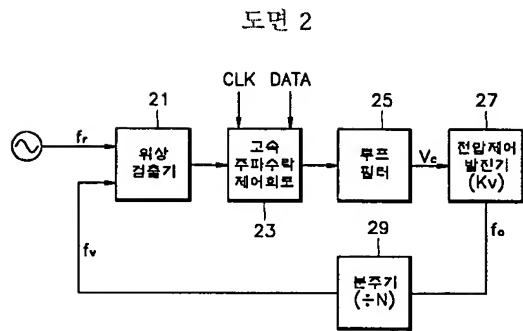
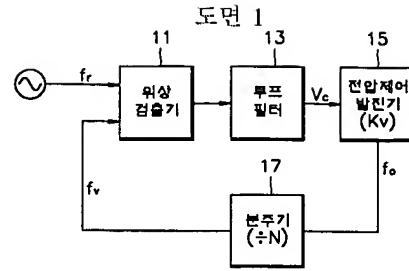
청구항 14.

제13항에 있어서, 상기 입력 데이터는 상기 분주기의 분주율과 동일한 데이터인 것을 특징으로 하는 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법.

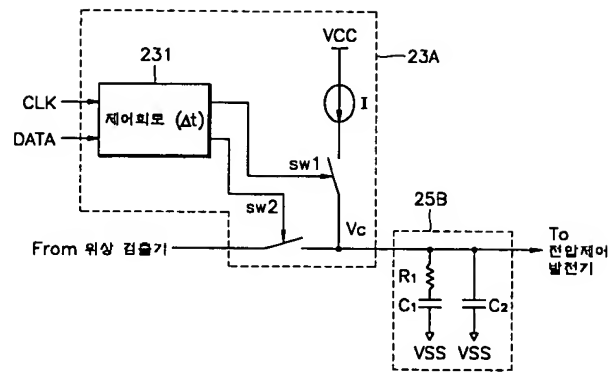
청구항 15.

제13항에 있어서, 상기 제어클럭 신호는 상기 기준클럭 신호와 동일한 신호인 것을 특징으로 하는 위상동기 루프 회로의 주파수 락 시간을 감소시키는 방법.

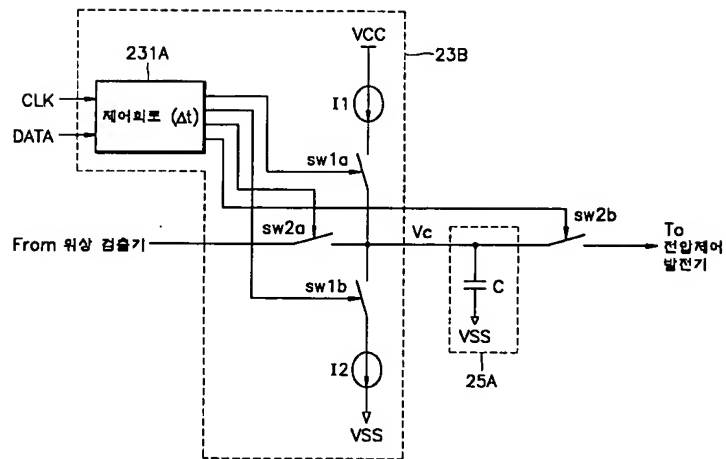
도면



도면 4



도면 5



도면 6

